

COMPITI E SUDDIVISIONE FONDI TRA LE UNITÀ DI RICERCA  
prot. 2005021172

<b>Coordinatore Scientifico</b>	Marcello GIORGI
<b>Ateneo</b>	Università degli Studi di PISA
<b>Titolo della Ricerca</b>	Sviluppo di rivelatori monolitici a pixel attivi e a strisce sottili per tracciatori di particelle cariche.
<b>Finanziamento assegnato</b>	Euro 315.000
<b>Durata</b>	24 Mesi

## Obiettivo della Ricerca

*I rivelatori di silicio a strisce e pixel sono usati molto efficacemente in molti rivelatori moderni per la tracciatura di particelle cariche e ricostruzione di vertici. Esperimenti futuri a macchine ad alta intensità, come una Super B Factory o il Linear Collider, richiederanno rivelatori di vertice e di tracciatura a stato solido con sensori molto sottili per ottenere una buona risoluzione in impulso e sul vertice, e con capacità di trigger in un ambiente ad alto rate. Questo programma di ricerca punta a fare un passo avanti nello sviluppo della tecnologia di base per questi rivelatori, seguendo due linee principali di ricerca:*

- a) sensori a pixel attivi monolitici CMOS (MAPS), che possono eliminare la necessità di pixel ibridi e fornire un rivelatore di vertici molto sottile e di piccola area.*
  - b) sensori sottili di silicio a strisce, che sono una possibile soluzione per un sistema di tracciatura di silicio che fornisca la buona risoluzione in impulso dei rivelatori a gas senza le loro limitazioni di velocità.*
- Inoltre, vogliamo interfacciare i dispositivi MAPS ad un sistema di memorie associative e studiare le loro capacità di trigger e la loro utilizzabilità in un ambiente ad alto rate.*

*Nei MAPS CMOS, l'elemento di raccolta di carica e l'elettronica di lettura sono integrati sullo stesso substrato, riducendo il materiale e migliorando l'affidabilità rispetto ai sistemi di pixel ibridi basati su bump-bonding utilizzati attualmente. Inoltre, lo spessore attivo nei MAPS è dell'ordine di sole poche decine di  $\mu\text{m}$ , permettendo un assottigliamento post-processing fino al limite imposto dalle necessità meccaniche.*

*Nella linea MAPS useremo una tecnologia commerciale CMOS 0.13 $\mu\text{m}$  a tripla well per fabbricare matrici di pixel 16x16 con readout sequenziale interfacciate ad un esistente sistema di trigger basato su memorie associative. Il vantaggio della tecnologia a tripla well sta nella possibilità di sovrapporre gli elementi di raccolta di carica ed i dispositivi attivi sulla stessa area fisica, permettendo così un fattore di riempimento di quasi il 100% e l'integrazione di un processing di segnale sofisticato nel pixel. Con la sua piccola dimensione minima, tale processo permette un alto livello di densità dell'elettronica, è intrinsecamente resistente alle radiazioni, e fornisce l'alto livello di connettività necessaria per le future architetture di lettura complesse. Abbiamo utilizzato questa tecnologia nel corso del progetto PRIN 2003 per produrre celle elementari contenenti preamplificatore, formatore, discriminatore e latch nel pixel. I primi test sono al momento in corso, con risultati incoraggianti.*

*Nel programma proposto ottimizzeremo l'efficienza di raccolta di carica della cella, valuteremo diverse tecnologie commerciali potenziali, e svilupperemo una architettura di lettura della matrice adatta ad interfacciarsi ad un sistema esistente di memorie associative. Misureremo anche gli effetti della radiazione sui dispositivi prodotti e misureremo le loro caratteristiche di raccolta di carica con particelle cariche.*

*Prevediamo di sottomettere per la fabbricazione tre lotti MAPS:*

- M1) Sottomesso in tecnologia tripla well ST 0.13  $\mu\text{m}$ ; ha lo scopo di ottimizzare la geometria e il circuito di lettura della cella elementare massimizzando l'efficienza, e di organizzare i pixel in una matrice 16x16 con lettura riga-colonna.*
- M2) Sottomesso in tecnologia tripla well IBM 0.13 $\mu\text{m}$ ; avrà un progetto simile ad M1, con lo scopo di valutare la tecnologia IBM. Mentre il processo ST usa uno strato epitassiale, IBM fabbrica i dispositivi attivi in un substrato non-epitassiale debolmente drogato, che potrebbe risultare più efficace nella raccolta della carica generata lungo la traccia della particella.*
- M3) Sottomesso in tecnologia tripla well ST 0.13  $\mu\text{m}$ ; conterrà una matrice di pixel con una architettura di lettura che permetta il trasferimento dei dati dai pixel alla memoria associativa, verificando così la velocità di trasmissione e la capacità del sistema di fornire informazioni di trigger.*

*Se completata, la linea MAPS mostrerebbe la fattibilità di MAPS con fattore di riempimento di quasi 100% basato su una tecnologia commerciale CMOS submicrometrica a tripla well, e dimostrerebbe la possibilità di usare questi dispositivi in un sistema di trigger.*

*I sistemi di tracciatura di silicio a strisce su grande area per esperimenti futuri pongono un diverso insieme di problemi. La riduzione dello spessore dei rivelatori di silicio molto al di sotto dei 300 $\mu\text{m}$  standard pone vari problemi tecnologici, sia nella fabbricazione dei sensori (principalmente per la loro fragilità), sia nella elettronica di lettura, che riesce solo marginalmente a gestire il ridotto segnale e l'aumentata capacità. D'altra parte, la quantità di materiale è il fattore limitante della risoluzione nella zona a basso impulso, ed ha effetti negativi sulla risoluzione in massa delle particelle ricostruite ed alla fine anche sulla capacità di reiezione del fondo degli esperimenti futuri.*

*Nella linea delle strisce, intendiamo esplorare due alternative tecnologiche per la fabbricazione di sensori sottili:*

- 1) substrati cresciuti epitassialmente e*

2) substrati ad alta resistività assottigliati localmente.

Nei substrati epitassiali uno strato a resistività medio-alta viene cresciuto su di un substrato dello tipo fortemente drogato, che ha la doppia funzione di fornire la necessaria rigidità meccanica durante il processo e di rappresentare un contatto posteriore ohmico una volta che il processo è completato e la maggior parte del substrato viene rimosso meccanicamente. La difficoltà principale è il reperimento di materiale epitassiale di buona qualità di spessore adeguato. Prevediamo di sottomettere un batch di sensori da fabbricare su substrati cresciuti epitassialmente di 50 e 100um di spessore, con lo scopo di ottimizzare il disegno del rivelatore per tale spessore ridotto, misurando le caratteristiche elettriche, e determinando il miglior rapporto S/N per particelle al minimo della ionizzazione ottenibile con i chip di lettura a basso rumore esistenti.

Intendiamo anche esplorare la possibilità di fabbricare sensori su substrati assottigliati localmente, dove un attacco anisotropo viene utilizzato per ridurre selettivamente lo spessore del substrato, lasciando delle costole di irrigidimento. La tecnologia di assottigliamento e il successivo processo sono tutt'altro che ben sperimentate, ed il principale scopo di questa ricerca è di dimostrare la fattibilità di fabbricare tali dispositivi su una grande area. Inoltre prevediamo di investigare la possibilità di un assottigliamento locale simmetrico sui due lati della fetta e la adattabilità di questa tecnica per fabbricare rivelatori a doppia faccia. Dopo una fase iniziale di studio della tecnologia in collaborazione con IRST-Trento, prevediamo di sottomettere un lotto di rivelatori a strisce da fabbricare su substrati spessi 50-100um.

Se completata, la linea dei rivelatori a strisce dimostrerebbe la possibilità di fabbricare rivelatori di silicio molto sottile a strisce, aprendo la strada alla progettazione di tracciatori di silicio ad alte prestazioni.

Il progetto proposto è piuttosto ambizioso e non è senza difficoltà, fra le quali consideriamo prominenti le seguenti:

- 1) I dettagli di processo delle tecnologie submicrometriche IBM e ST non sono accessibili, rendendo difficile modellare e simulare i dispositivi. I dati saranno ricavati dalle misure sulle strutture di test e dal progetto PRIN2003.
- 2) Schermare la sensibile parte analogica del pixel dall'attività digitale è difficile e critico.
- 3) L'assottigliamento dei rivelatori a strisce riduce la quantità di carica raccolta ed aumenta la capacità parassita, rendendo difficile la lettura con buon rapporto S/N.
- 4) L'etching selettivo è una tecnica delicata che è stata dimostrata solo su piccole aree.

## **Innovazione rispetto allo stato dell'arte nel campo**

### *a) Linea di ricerca dei sensori a pixel monolitici attivi (CMOS MAPS)*

I pixel MAPS CMOS, grazie alle loro caratteristiche, quali l'aver l'elettronica integrata nel substrato, la possibilità di assottigliamento fino a poche decine di micron, costi e potenza dissipata ridotti, sono considerati degli ottimi candidati per i rivelatori di vertice dei futuri esperimenti a macchine di alta intensità.

Il rivelatore a MAPS sviluppato in questo progetto di ricerca, utilizza per la prima volta il processo a tripla well con lo scopo di massimizzare il fill factor e l'efficienza di raccolta di carica, entrambi aspetti particolarmente critici per questo tipo di dispositivi. Inoltre il nuovo approccio adottato nel design del sensore, permette di implementare, al livello del pixel, un'elettronica di lettura più complessa. Questa caratteristica consentirà di migliorare la velocità di lettura, rispetto ai dispositivi MAPS esistenti, e di utilizzare, per la prima volta, un rivelatore basato su pixel MAPS per fornire informazioni di trigger.

### *b) Linea di ricerca dei sensori sottili di silicio a microstrisce.*

Lo sviluppo di rivelatori al silicio a strisce sottili è attualmente argomento di notevole interesse, sia per i vantaggi che questo tipo di dispositivi offrono dal punto di vista della resistenza alla radiazione, sia poiché rappresentano una valida soluzione per un sistema di tracciatura al silicio, che fornisca la buona risoluzione in impulso dei rivelatori a gas senza le loro limitazioni di velocità.

Le tecnologie che ci proponiamo di sviluppare in questo progetto permetterebbero di realizzare per la prima volta prototipi di rivelatori a strisce sottili di grandi dimensioni (> 10cm<sup>2</sup>). Svilupperemo inoltre la tecnica di assottigliamento locale con attacco chimico, fino ad oggi testata solo su dispositivi di piccola area (~1cm<sup>2</sup>), eventualmente anche per rivelatori a doppia faccia. Il successo di questa ricerca aprirebbe la strada alla progettazione di tracciatori al silicio ad alte prestazioni.

## **Criteri di verificabilità**

I criteri di verificabilità per la linea CMOS MAPS possono essere sintetizzati come segue:

### *Fase 1 (8 mesi)*

- Viene progettato il singolo pixel, con le simulazioni che mostrano un ENC di 50e- con un tempo di formatura di 250ns ed un carica raccolta di circa 1000e-.

- Il lotto M1 viene sottomesso con una matrice 16x16 con lettura riga-colonna

### *Fase 2 (6 mesi)*

- Vengono simulati i MAPS in tecnologia IBM ed il progetto M1 trasferito mostra risultati di simulazione simili. Il lotto M2 viene sottomesso.

- I chip M1 vengono consegnati e testati completamente; le caratteristiche di raccolta di carica (1000e-) e di rumore (50 e- ENC) vengono confrontati con le simulazioni.

- Vengono definite le richieste sull'architettura di lettura per l'interfacciamento al chip di AM.

**Fase 3 (6 mesi)**

- Il chip M3 viene progettato e sottomesso
- I chip M1 viene irradiato e si misurano gli effetti della radiazione
- I chip M2 IBM vengono consegnati e testati completamente; i risultati sono confrontati con le simulazioni

**Fase 4 (4 mesi)**

- I chip M3 ST vengono consegnati e testati completamente; i risultati sono confrontati con le simulazioni
- Uno o due chip M3 vengono connessi al sistema fastrack e si misura la velocità di trasferimento dei dati.

*I criteri di valutazione della linea di ricerca dei sensori sottili a microstrisce possono essere riassunti come segue:*

**Fase 1 (8 mesi)**

- il lotto S1 è progettato e sottomesso per la fabbricazione su substrati epitassiali di spessore 50 e 100um.
- la tecnica di assottigliamento locale è estesa ad aree assottigliate maggiori di 10cm<sup>2</sup>.

**Fase 2 (6 mesi)**

- le fette S1 vengono testate ed i risultati sono confrontati con la simulazione
- il lotto S2 viene progettato e sottomesso per la fabbricazione su fette assottigliate con TMAH

**Fase 3 (10 mesi)**

- le fette S2 vengono testate ed i risultati sono confrontati con la simulazione
- le fette S1 ed S2 vengono irraggiate e caratterizzate dopo la radiazione.

## **Elenco delle Unità di Ricerca**

<b>Sede dell'Unità</b>	Università degli Studi di PISA
<b>Responsabile Scientifico</b>	Marcello GIORGI
<b>Finanziamento assegnato</b>	<b>Euro</b> 96.600

## **Compito dell'Unità**

*L'unità di ricerca di Pisa, oltre al coordinamento globale del progetto, si occuperà, in stretta collaborazione con le Unità di Pavia, Bergamo e Trieste, del progetto, simulazione, realizzazione e test di una matrice di pixel attivi in tecnologia CMOS con lettura interfacciabile ad un sistema di trigger di livello 1.*

*Basandosi sui risultati del PRIN 2003, in cui è stata disegnata una cella elementare in tecnologia 0.13 um (processo HCMOS9 di ST Microelectronics), l'Unità di Pisa svolgerà le seguenti attività che sono successivamente dettagliate:*

- 1) Simulazione fisica 3D con il software ISE-TCAD in collaborazione con la UR di Trieste, allo scopo di ottimizzare la posizione delle well p ed n all'interno del pixel e massimizzare l'efficienza.*
- 2) Per il lotto M1: progetto e layout, in collaborazione con le UR di Bergamo e Pavia, della parte digitale di indirizzamento riga-colonna che verrà implementata nella matrice inclusa nel lotto M1; progetto e layout delle strutture di test per la caratterizzazione della tecnologia; progetto e fabbricazione della scheda necessaria per il test del chip; esecuzione dei tests sul chip in collaborazione con la UR di Trieste per misurare i parametri del processo e dei dispositivi, la sensibilità alla carica depositata con un laseri IR e con una sorgente beta collimata.*
- 3) Simulazione della tecnologia IBM 0.13um in collaborazione con la UR di Trieste per trasferire il progetto del lotto M1 nel processo IBM; progetto e layout delle strutture di test per la caratterizzazione della tecnologia; progetto e fabbricazione della scheda necessaria per il test del chip; esecuzione dei tests sul chip in collaborazione con la UR di Trieste per misurare i parametri del processo e dei dispositivi, la sensibilità alla carica depositata con un laseri IR e con una sorgente beta collimata. Simulazione di celle di pixel elementaru realizzate con una tecnologia SiGe BiCMOS.*
- 4) Realizzazione di un programma di irraggiamento di dispositivi di test per misurare i parametri di processo dei MAPS (UR di Pavia e Trieste) con elettroni da 1 GeV (Elettra) e fotoni da Co60. Misura, in collaborazione con Pavia e Trieste, delle strutture di test sotto probe station per valutare gli effetti della radiazione sui parametri statici dei dispositivi (corrente di leakage, capacità, resistenze) e valutazione della efficienza di raccolta di carica per i MAPS irraggiati usando un LED IR e con sorgenti beta.*
- 5) Interfacciamento della matrice di pixel con sistema di trigger ad alto rate (nell'intervallo 10-100MHz) che può essere usato per un pattern recognition di traccia veloce. In collaborazione con le UR di Pavia e Bergamo, progettazione della architettura di lettura della matrice e della scheda di interfaccia al sistema di memorie associative esistente. Insieme a Pavia e Bergamo, sviluppo e costruzione della scheda di test ed il necessario sistema di acquisizione per testare questi chip. Misure sulla matrice usando LED IR e sorgenti radioattive. Lo scopo di questi test è la misura della raccolta di carica, della massima frequenza di clock per il trasferimento di dati tra MAPS e memoria associativa, la latenza tra la fine della lettura e l'output della memoria associativa, e*

*l'identificazione di semplici pattern per la generazione di segnali di trigger.*

---

<b>Sede dell'Unità</b>	Università degli Studi di PAVIA
<b>Responsabile Scientifico</b>	Valeria SPEZIALI
<b>Finanziamento assegnato</b>	Euro 63.000

### **Compito dell'Unità**

*L'Unità di Ricerca (UR) di Pavia sarà prevalentemente impegnata nella linea di ricerca relativa allo sviluppo di rivelatori monolitici a pixel attivi in tecnologia CMOS (MAPS) e fornirà il proprio contributo in fase di progetto e caratterizzazione delle strutture di test. In questo ambito, il compito principale del gruppo di Pavia sarà costituito dall'ottimizzazione dell'elettronica di lettura in relazione alle severe specifiche di rumore tipiche dell'applicazione considerata, vale a dire la tracciatura di particelle cariche in esperimenti di fisica delle alte energie. In secondo luogo, l'UR focalizzerà la propria attività sulla caratterizzazione dei prototipi sviluppati nell'ambito di questo Progetto, con particolare riguardo alle loro proprietà di rumore. Per quel che riguarda il filone relativo ai rivelatori a microstriscia sottili, l'UR si occuperà di definire, attraverso la caratterizzazione sperimentale di dispositivi singoli e circuiti, dei criteri di progetto per lo sviluppo di elettronica di front-end con adeguate caratteristiche di rumore e velocità di elaborazione.*

*I compiti dell'UR di Pavia possono essere così sintetizzati. La descrizione dell'attività viene di seguito suddivisa nei due filoni principali previsti dal Progetto.*

*1) Sensori monolitici a pixel attivi in tecnologia CMOS (in collaborazione con le UR di Pisa e Bergamo).  
L'attività dell'UR di Pavia nell'ambito di questa linea di ricerca può essere suddivisa in quattro fasi:*

*I fase:*  
*- progetto, simulazione e layout di una matrice di pixel attivi CMOS in tecnologia STMicroelectronics da 0.13  $\mu$ m; l'architettura del sistema dovrà consentire la lettura sequenziale dei dati; in questa fase è prevista l'ottimizzazione della geometria dell'elettrodo di raccolta e dell'elettronica di lettura del sensore;*  
*- caratterizzazione di dispositivi singoli appartenenti a processi CMOS da 0.13  $\mu$ m, nella fattispecie STM e IBM, attività utile a definire i limiti nelle prestazioni delle due tecnologie in termini di rumore elettronico;*

*II fase:*  
*- progetto, simulazione e layout di una matrice di pixel analogo a quella già progettata, durante la fase I, in tecnologia STM, da realizzare in tecnologia IBM da 0.13  $\mu$ m; questa attività sarà utile per valutare come le diverse caratteristiche dei processi produttivi possano influire sulle prestazioni dei sistemi di rivelazione;*  
*- valutazione, mediante simulazioni di processo e circuitali, delle possibilità di impiego di tecnologie BiCMOS al silicio-germanio nelle applicazioni previste dal Progetto; le caratteristiche di questi processi potrebbero determinare un miglioramento nelle prestazioni del sistema di rivelazione in termini di velocità di raccolta della carica;*  
*- caratterizzazione della matrice di pixel in tecnologia STM realizzata durante la fase I;*

*III fase:*  
*- caratterizzazione della matrice di pixel in tecnologia IBM realizzata durante la fase II;*  
*- progetto, simulazione e layout di una matrice di pixel interfacciabile con memorie associative;*  
*- test di resistenza alle radiazioni delle strutture realizzate durante le fasi I e II;*

*IV fase:*  
*- caratterizzazione della matrice di pixel realizzata durante la fase III in congiunzione con memorie associative.*

*2) Sensori sottili a microstriscia (in collaborazione con le UR di Bergamo, Trento e Trieste).  
Nell'ambito di questa linea di ricerca, l'UR di Pavia concentrerà la propria attenzione sulla definizione di criteri di progetto per elettronica di lettura a basso rumore per rivelatori sottili a partire dai risultati che emergeranno dalle seguenti attività:*

*- caratterizzazione di chip multicanale a segnali misti già esistenti in relazione al loro possibile impiego nella lettura dei segnali da sensori sottili a microstriscia;*  
*- studio dei limiti delle tecnologie CMOS con lunghezza minima di canale da 130 e 90 nm e delle tecnologie bipolari al silicio-germanio in rapporto alle applicazioni considerate.*

---

<b>Sede dell'Unità</b>	Università degli Studi di BERGAMO
<b>Responsabile Scientifico</b>	Valerio RE
<b>Finanziamento assegnato</b>	Euro 66.500

## **Compito dell'Unità**

L'unità di Bergamo concentrerà la sua attività sull'elettronica di lettura per rivelatori al silicio sottili a pixel e strip. La descrizione dell'attività dell'unità di Bergamo viene di seguito suddivisa nei due filoni principali previsti dal Progetto.

1) *Sensori monolitici a pixel attivi in tecnologia CMOS (attività che verrà svolta prevalentemente in collaborazione con le unità di Pavia e Pisa)*

L'attività nell'ambito di questa linea di ricerca può essere suddivisa in quattro fasi.

### *I fase*

L'attività dell'unità di Bergamo sarà dedicata al progetto (simulazione e layout) di celle MAPS e di una semplice matrice di pixel. Verranno sottomesse strutture di test nel processo CMOS 0.13 micron di STMicroelectronics (batch M1).

### *II fase*

In questa fase, parte del lavoro sarà dedicata allo studio del processo tecnologico migliore per la realizzazione dei MAPS. L'unità di Bergamo studierà due processi CMOS 0.13 micron con differenti caratteristiche, con uno strato epitassiale (processo HCMOS9 di STMicroelectronics) e con un substrato non epitassiale poco drogato (processo CMOS8RF-DM di IBM). L'unità di Bergamo studierà anche i possibili vantaggi che possono essere ottenuti realizzando MAPS in un processo SiGe BiCMOS standard oppure in una tecnologia al silicio-germanio non commerciale, ottimizzata per i MAPS.

I risultati delle simulazioni nel processo IBM verranno utilizzati dall'unità di Bergamo per progettare strutture di test simili a quelle sottomesse nel batch M1. Tali strutture verranno quindi sottomesse nel processo IBM, in un batch identificato come M2.

L'unità di Bergamo parteciperà inoltre allo studio sperimentale delle strutture fabbricate nel processo 0.13 micron di STMicroelectronics (batch M1).

### *III fase*

L'unità di Bergamo collaborerà al progetto di una matrice di pixel completa, progettata in modo da poter essere interfacciata a un sistema di memorie associative. Una nuova sottomissione (batch M3) con la matrice e le relative strutture di test verrà effettuata nel processo CMOS 0.13 micron di STMicroelectronics.

In questa fase inoltre l'unità di Bergamo collaborerà al test completo del batch M2 in tecnologia IBM e all'analisi degli effetti delle radiazioni sulle strutture di test del batch M1.

### *IV fase*

L'unità di Bergamo parteciperà ai test della matrice di pixel realizzata nel batch M3. L'obiettivo dei test è determinare le prestazioni del rivelatore e dell'elettronica associata e verificare la validità delle soluzioni progettuali sulla base dei requisiti posti da applicazioni alla tracciatura di particelle nei futuri esperimenti di fisica delle alte energie. L'unità di Bergamo collaborerà quindi alla misura di tutti i parametri rilevanti, fra cui efficienza di raccolta di carica, rapporto segnale-rumore, dispersione di soglia e velocità di lettura della matrice.

2) *Sensori sottili a microstriscia (attività che verrà svolta prevalentemente in collaborazione con l'unità di Pavia)*

L'unità di Bergamo parteciperà alla definizione delle specifiche dell'elettronica di front-end nelle future applicazioni sperimentali. Verrà effettuato uno studio delle prestazioni di rumore e di resistenza alle radiazioni ottenibili con tecnologie CMOS con dimensione minima di circa 100 nm (generazioni 130 nm e 90 nm) e con processi BiCMOS SiGe. L'obiettivo è quello di definire i criteri di progetto per le sezioni analogiche di front-end di una nuova generazione di circuiti integrati di lettura "mixed signal".

---

## **Sede dell'Unità**

Università degli Studi di TRENTO

## **Responsabile Scientifico**

Gian Franco DALLA BETTA

## **Finanziamento assegnato**

Euro 47.600

## **Compito dell'Unità**

L'attività dell'Unità di Ricerca (UR) di Trento riguarderà esclusivamente la linea di lavoro sui rivelatori a strip su silicio sottile ad alta resistività e media resistività (epitassiale), focalizzando l'attenzione sugli aspetti tecnologico/progettuali dei rivelatori a con riferimento ad entrambi gli approcci tecnologici possibili (substrati epitassiali e substrati FZ assottigliati localmente con tecniche di micromachining). L'attività sarà condotta interagendo strettamente con la UR di Trieste per quanto riguarda il progetto dei rivelatori e la loro successiva caratterizzazione elettrica e funzionale. Inoltre, la UR collaborerà con le UR di Bergamo e Pavia, fornendo dati sperimentali e modelli descrittivi dei rivelatori in supporto alla valutazione dei limiti dei chip elettronici di lettura attualmente disponibili ed all'individuazione delle tecnologie più promettenti per il futuro.

I compiti specifici dell'UR sono riassunti nel seguito.

1) In coordinamento con la UR di Trieste, la UR si occuperà preliminarmente del progetto e del disegno CAD delle maschere litografiche per i rivelatori del primo lotto, da fabbricarsi su substrati epitassiali di diverso spessore (nell'intervallo 50-100 micron).

2) In parallelo, fin dall'inizio, la UR contribuirà agli studi tecnologici sull'assottigliamento locale dei substrati tramite TMAH da condursi presso ITC-irst e volti ad indagare:

- l'estensione della tecnica di assottigliamento, finora utilizzata con successo per piccoli dispositivi (~1cm<sup>2</sup>) a rivelatori di grande area;

- la possibilità di realizzare con questa tecnica rivelatori doppia-faccia, tramite assottigliamento locale che proceda

simmetricamente da entrambi i lati delle fette;

- la resistenza delle strutture sottili così realizzate alle sollecitazioni post-processo (dovute ad esempio al bonding), in modo da garantire la concreta utilizzabilità dei rivelatori in un sistema di tracciatura.

3) Nel periodo di fabbricazione del primo lotto, con l'ausilio di simulazioni numeriche di dispositivo (software DESSIS), la UR procederà ad uno studio approfondito delle prestazioni dei rivelatori sottili ai principali parametri tecnologici (resistività, carica nell'ossido, tempi di vita dei portatori) e geometrici (spessore, passo, larghezza). Le simulazioni riguarderanno inizialmente gli aspetti comuni ad entrambe le tecnologie (substrati epitassiali e assottigliati localmente), per poi essere focalizzate sugli aspetti specifici dei rivelatori assottigliati localmente, al fine di ottimizzarne il progetto.

4) Terminata la produzione del primo lotto, la UR procederà alla caratterizzazione elettrica completa su fetta di strutture di test e rivelatori a strip.

5) Nel frattempo, sulla base delle simulazioni e delle indicazioni dei test sul primo lotto, si procederà al disegno del layout per i rivelatori del secondo lotto, da fabbricarsi su substrati assottigliati con TMAH fino a spessori diversi (nell'intervallo 50-100 micron).

6) Su una campionatura scelta di strutture di test e rivelatori a strip del primo lotto, verranno condotte misure elettro-ottiche dinamiche tramite eccitazione LASER impulsato IR, al fine di valutare l'efficienza ed i tempi di raccolta della carica.

7) Si prevede procedere ad irraggiamenti con elettroni ad alta energia (al Sincrotrone ELETTRA) e con neutroni, protoni e ioni Litio presso facility disponibile tramite la Collaborazione CERN RD-50, in modo da estendere la caratterizzazione di cui sopra a rivelatori irraggiati fino a fluenze elevate.

8) I risultati della caratterizzazione elettrica, elettro-ottica e funzionale saranno correlati con quelli ottenuti dalle simulazioni DESSIS.

9) L'attività di caratterizzazione elettrica ed elettro-ottica e di confronto con le simulazioni descritta dettagliatamente in precedenza verrà proseguita successivamente sui dispositivi del secondo lotto.

10) Verrà infine condotta un'analisi critica dei risultati complessivamente ottenuti.

---

<b>Sede dell'Unità</b>	Università degli Studi di TRIESTE
<b>Responsabile Scientifico</b>	Luciano BOSISIO
<b>Finanziamento assegnato</b>	Euro 41.300

## **Compito dell'Unità**

L'Unità di Ricerca (UR) di Trieste si occuperà delle seguenti attività, relative ad entrambe le linee di ricerca del programma:

a) ottimizzazione dell'elemento sensore del sistema (strutture per la raccolta della carica di segnale nei MAPS, rivelatori a microstrip), comprendente simulazione, progetto e caratterizzazione statica di strutture di test e sensori;

b) test funzionale con laser IR e con sorgenti di particelle;

c) prove di irraggiamento con elettroni di alta energia (Elettra) o con protoni e ioni (LNL).

Nel seguito si specificano i compiti dell'UR di Trieste, separatamente per le due linee.

### **MAPS**

1a. Simulazione 3D per l'ottimizzazione della struttura della cella e della configurazione degli elettrodi (n-well) per la raccolta della carica di segnale (in collaborazione con l'UR Pisa). Si partirà dalla tecnologia ST 0.13um, per la quale sono disponibili i parametri dal PRIN2003, per passare poi alla tecnologia IBM 0.13u, ed eventualmente ad una tecnologia BiCMOS SiGe.

1b. Progettazione e layout dei dispositivi di test per la caratterizzazione delle tecnologie impiegate (con UR Pisa). Particolare importanza avranno le strutture per la misura dei profili di drogaggio delle well, che risultano critici per la raccolta della carica di segnale. Per il processo CMOS 0.13um di ST saranno ottimizzate le strutture di test disegnate nel corso del PRIN2003. Queste saranno poi modificate per adattare alla tecnologia IBM 0.13um.

1c. Misure elettriche "statiche" su dispositivi di test e celle pixel, per verificare i parametri delle tecnologie impiegate (con UR Pisa). I risultati di queste misure saranno utilizzati per affinare le simulazioni e quindi per ottimizzare il layout della cella e degli elettrodi di raccolta di carica nella matrice di pixel prevista per la terza sottomissione di MAPS.

1d. Misure di caratterizzazione funzionale "dinamica" delle celle MAPS, mediante laser IR e particelle cariche da sorgenti radioattive (con l'UR di Pisa).

1e. Test di irraggiamento (con UR Pisa) utilizzando elettroni di alta energia (~1GeV) presso il LINAC di Elettra a Trieste, fino a fluenze > 1E15 cm-2. Inoltre, si prevede di effettuare irraggiamenti con protoni di bassa energia o nuclei leggeri presso i laboratori INFN di Legnaro.

### **MICROSTRIP SOTTILI**

2a. Progetto e layout CAD dei rivelatori a microstrip e delle relative strutture di test (con UR Trento).

2b. Caratterizzazione elettrica "statica" dei dispositivi di test e dei rivelatori a microstrip (con UR Trento). Per i rivelatori a singola faccia su substrato epitassiale, il test sarà eseguito dall'UR di Trento utilizzando il prober automatico disponibile presso ITC-irst. Per i rivelatori assottigliati 'a membrana' (in particolare se a doppia faccia) si utilizzerà il prober semiautomatico disponibile presso l'UR di Trieste, con supporti per il rivelatore progettati ad hoc.

2c. Misure di caratterizzazione funzionale "dinamica" dei rivelatori a strip, mediante stimolazione ottica da laser IR, o particelle cariche da sorgenti radioattive. A questo scopo l'UR di Trieste provvederà ad assemblare alcuni rivelatori con elettronica di front-end "standard" (es. chip della famiglia VA) o comunque già disponibile.

2d. Prove di irraggiamento su rivelatori a strip e strutture di test, con elettroni di alta energia (~1GeV) accelerati dal LINAC di Elettra a Trieste, ed eventualmente protoni di bassa energia o ioni leggeri (Li) presso i laboratori INFN di Legnaro. Dopo l'irraggiamento saranno ripetute le misure statiche e dinamiche per verificare gli effetti sulle prestazioni del sistema di rivelazione

(efficienza di raccolta di carica, rapporto segnale/rumore).

2e. Per completare la dimostrazione dell'approccio seguito, su alcuni rivelatori a singola faccia fabbricati su fette epitassiali verranno effettuate prove di assottigliamento tramite lappatura e CMP (chemo-mechanical polishing) del substrato, da eseguirsi presso ditte esterne.

---